**江 西 师 范 大 学 试 卷**

**年级： 16级 专业(学科)： 计算机科学与技术 17—18学年第1学期**

**课程号： 262217 课程名称： 计算机组成原理（理论） A卷**

**考试形式：闭卷 其他要求：**

**（本试卷满分100分，考试时间100分钟）**

一、选择题（15分，每小题1分）

1、从器件角度看，计算机经历了五代变化。但从系统结构看，至今绝大多数计算机仍属于\_\_\_\_\_\_\_计算机。

A 并行 B 冯·诺依曼 C 智能 D 串行

2、主存贮器和CPU之间增加cache的目的是（ ）。

A 解决CPU和主存之间的速度匹配问题 B 扩大主存贮器容量

C 扩大CPU中通用寄存器的数量 D 既扩大主存贮器容量以及CPU中通用寄存器的数量

3、某DRAM芯片，其存储容量为512K×8位，该芯片的地址线和数据线的数目是\_\_\_\_\_\_\_\_\_\_\_\_\_\_。

A 8，512 B 512，8 C 18，8 D 19，8

4、在定点运算器中，无论采用双符号位还是单符号位，必须有\_\_\_\_\_\_，它一般用\_\_\_\_\_\_来实现。

A  译码电路， 与非门  ；     B  编码电路， 或非门  ；

C  溢出判断电路 ，异或门  ；     D  移位电路， 与或非门  ；

5、双端口存储器所以能进行高速读/写操作，是因为采用\_\_\_\_\_\_\_\_。

A 高速芯片 B 新型器件 C 流水技术 D 两套相互独立的读写电路

6、单地址指令中为了完成两个数的算术运算，除地址码指明的一个操作数外，另一个数常需采用\_\_\_\_\_\_\_\_\_\_\_\_。

A 堆栈寻址方式     B 立即寻址方式  C 隐含寻址方式     D 间接寻址方式

7、若某数x的真值为-0.1010，在计算机中该数表示为1.0110，则该数所用的机器码为\_\_\_\_\_\_\_\_\_\_。

A.原码 B.补码 C.反码 D.移码

8、在微程序控制器中，机器指令和微指令的关系是\_\_\_\_\_\_\_\_\_\_\_\_\_\_。

A. 每一条机器指令有一条微指令来执行           B.一条微指令由若干机器指令组成

C. 每一条机器指令由一段微指令组成的微程序解释执行 D.一段微程序由一条机器指令来执行

9、所谓三总线结构的计算机是指\_\_\_\_\_。

A．地址线、数据线和控制线。   B．I/O总线、主存总统和 DMA总线

C．I/O总线、主存总线和系统总线三组传输线  D．以上都不对

10、堆栈寻址方式中，设A为累加器，SP为堆栈指示器，MSP为SP指示的栈顶单元，如果进栈操作的动作顺序是(SP – 1) → SP，(A) → MSP，那么出栈操作的动作顺序应为\_\_\_\_\_\_\_\_。

A．(MSP) → A，(SP) + 1 → SP；   B．(SP) + l → SP，(MSP) → A；

C．(SP) – 1 → SP，(MSP) → A；   D．以上都不对。

11、CPU中的译码器主要用于\_\_\_\_\_\_ 。

A．地址译码； B．指令译码； C．选择多路数据至ALU； D．数据译码。

12、Cache的地址映象中，若主存中的任一块均可映射到Cache内的任一块的位置上，称作\_\_\_\_\_\_\_\_\_ 。

A．直接映象； B．全相联映象； C．组相联映象。

13、中断向量可提供\_\_\_\_\_\_\_\_\_\_。

A.被选中设备的地址； B.传送数据的起始地址；

C.中断服务程序入口地址； D.主程序的断点地址

14、长度相同但格式不同的2种浮点数，假定前者阶段长、尾数短，后者阶段短、尾数长，其他规定均相同，则它们可表示的数的范围和精度为\_\_\_\_\_\_。

A. 两者可表示的数的范围和精度相同    B. 前者可表示的数的范围大但精度低

C. 后者可表示的数的范围大且精度高    D. 前者可表示的数的范围大且精度高

15 四片74181ALU和1片74182CLA器件相配合，具有如下进位传递功能\_\_\_\_\_\_。

A 行波进位； B 组内先行进位，组间先行进位 ；

C 组内先行进位，组间行波进位 D 组内行波进位，组间先行进位 ；

二、填空题（20分，每空1分）

1、按IEEE754标准，一个32位浮点数由符号位S（\_\_\_\_\_\_位）、阶码E（\_\_\_\_\_\_位）、尾数M（\_\_\_\_\_\_位）三个域组成。其中阶码E的值等于指数的真值e加上一个固定的偏移值（ \_\_\_\_\_\_\_\_ ）。

2、反映主存速度指标的三个术语是存取时间、\_\_\_\_\_\_\_\_\_\_\_\_和\_\_\_\_\_\_\_\_\_\_\_。

3、某计算机字长32位，其存储容量64MB，若按字编址，它的存储系统的地址线至少需要\_\_\_\_\_条。

4、一个组相联映射的Cache，有128块，每组4块，主存共有16384块，每块64个字，则主存地址共\_\_\_\_\_\_\_\_\_位，其中主存字块标记应为\_\_\_\_\_\_\_\_位，组地址应为\_\_\_\_\_\_\_\_位，Cache地址共\_\_\_\_\_\_\_\_\_位。

5、对存储器的要求是容量大、速度快、成本低，为了解决这三方面的矛盾，计算机采用多级存储体系结构，即\_\_\_\_\_\_\_\_\_\_、\_\_\_\_\_\_\_\_\_\_、\_\_\_\_\_\_\_\_\_\_\_\_\_。

6 动态RAM的刷新包括\_\_\_\_\_\_\_\_\_\_\_、\_\_\_\_\_\_\_\_\_\_\_和\_\_\_\_\_\_\_\_\_\_\_\_三种方式。

7 计算机硬件由\_\_\_\_\_\_\_\_、\_\_\_\_\_\_\_\_、\_\_\_\_\_\_\_\_、输入系统和输出系统五大部件组成。

三、问答题（15分）

1、简述什么是总线？单处理器系统中总线的分类有哪些？（7分）

2、简要阐述一个完善的指令系统应该满足哪些方面的要求？（8分）

四、计算题（30分）

（6分）1、设存储器容量为128M字，字长64位，模块数m=8，分别用顺序方式和交叉方式进行组织。存储周期T=200ns，数据总线宽度为64位，总线传送周期τ=50ns。问顺序存储器和交叉存储器的带宽各是多少？

（6分）2、设机器数字长为8位（含一位符号位），若A = +15，B = +24，求[A+B]补和[A-B]补并还原成真值

（8分）3、设某机主频为8MHz，每个机器周期平均含2个时钟周期，每条指令平均有2.5个机器周期，试问：

（1）该机的平均指令执行速度为多少MIPS？（MIPS表示百万条指令/秒）

（2）若机器主频不变，但每个机器周期平均含4个时钟周期，每条指令平均有5个机器周期，则该机的平均指令执行速度又是多少MIPS？

（10分）4、某机指令格式如图所示：

|  |  |  |
| --- | --- | --- |
| OP | X | D |

15 10 9 8 7 0

图中X为寻址特征位，且X=0时，不变址；X=1时，用变址寄存器R1进行变址；X=2时，用变址寄存器R2进行变址；X=3时，相对寻址。设（PC）=1234H，（R1）=0037H, (R2)=1122H，请确定下列指令的有效地址（均用十六进制表示，H表示十六进制）

(1) 4420H (2) 2244H (3) 1322H (4) 3521H (5) 6723H

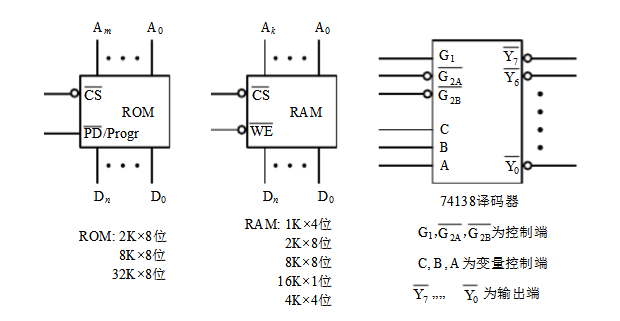
五、设计题（20分,二题任选一道）

1、设CPU共有16根地址线，8根数据线，并用MREQ作访存控制信号（低电平有效），用WR作读写控制信号（高电平为读，低电平为写）。现有下列芯片及各种门电路（门电路自定），如图所示。画出CPU与存储器的连接图，要求：

（1）存储芯片地址空间分配为：最大4K地址空间为系统程序区，相邻的4K地址空间为系统程序工作区，最小16K地址空间为用户程序区；

（2）指出选用的存储芯片类型及数量；

（3）详细画出片选逻辑。



2、假设某计算机的运算器框图如图所示，其中ALU为16位的加法器（高电平工作），SA 、SB为16位锁存器，4个通用寄存器由D触发器组成，O端输出，

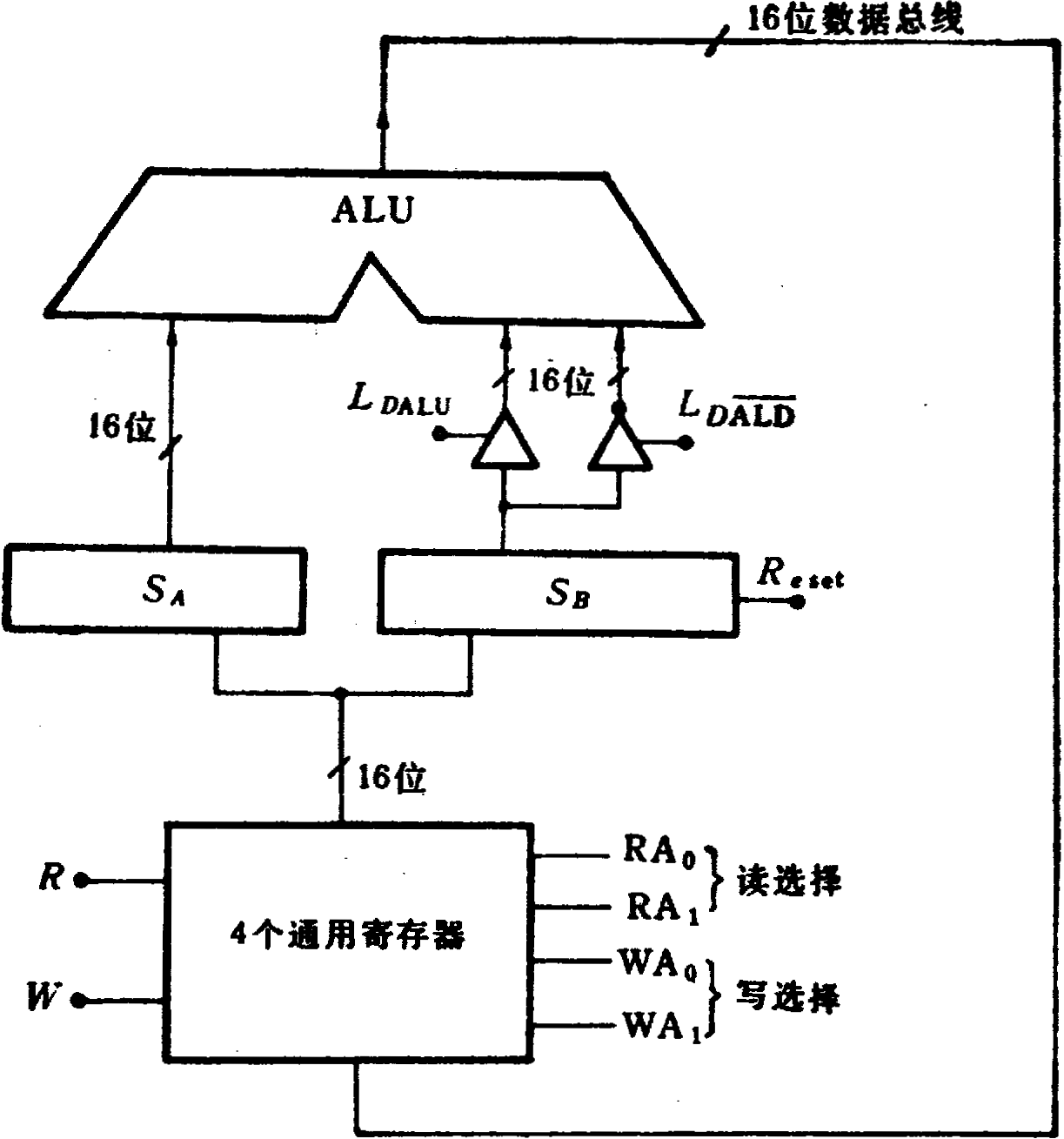
其读写控制如下表所示：

读控制

|  |  |  |  |
| --- | --- | --- | --- |
| R0 | RA0 | RA1 | 选择 |
| 1  1  1  1  0 | 0  0  1  1  x | 0  1  0  1  x | R0  R1  R2  R3  不读出 |

写控制

|  |  |  |  |
| --- | --- | --- | --- |
| W | WA0 | WA1 | 选择 |
| 1  1  1  1  0 | 0  0  1  1  x | 0  1  0  1  x | R0  R1  R2  R3  不写入 |



要求：（1）设计微指令格式。

（2）画出ADD，SUB两条微指令程序流程图。